

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-037892

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

H01L 21/322

H01L 21/76

(21)Application number : 05-182911

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.07.1993

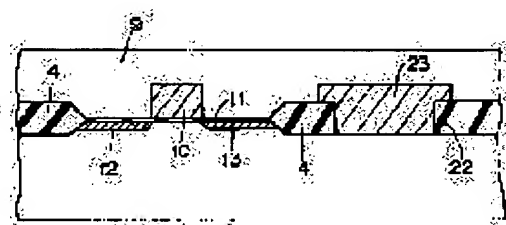
(72)Inventor : TOMITA HIROSHI  
AOKI MASAMI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a highly reliable semiconductor device by making it possible to sufficiently remove contamination substance even with a high- temperature short time or low-temperature short time heat-treatment.

CONSTITUTION: A groove 22 is provided consisting of an element isolation insulating film 4 formed on the surface of a semiconductor substrate and an element region surrounded by this element isolation insulating film 4, is formed so as to pass through the element isolation insulating film 4 and to reach the semiconductor substrate, and is filled with a substance 23 having higher efficiency of collecting impurities within the substrate inside.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-37892

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/322	P	8617-4M		
	R	8617-4M		
21/76		9169-4M	H 0 1 L 21/ 76	L

審査請求 未請求 請求項の数4 O L (全 12 頁)

(21) 出願番号 特願平5-182911

(22) 出願日 平成5年(1993)7月23日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 富田 寛

神奈川県川崎市幸区小向東芝町 1 株式  
会社東芝研究開発センター内

(72) 発明者 青木 正身

神奈川県川崎市幸区小向東芝町 1 株式  
会社東芝研究開発センター内

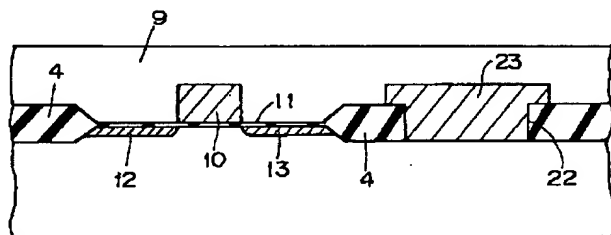
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 本発明は、高温短時間、低温短時間の熱処理でも十分に汚染物質を除去することができるようにし、信頼性の高い半導体装置を提供する。

【構成】 本発明では、半導体基板1表面に形成された素子分離絶縁膜4と、この素子分離絶縁膜4で囲まれた素子領域とから構成され、前記素子分離絶縁膜4を貫通して前記半導体基板1に到達するように形成され、内部に基板内不純物収集効率の高い物質23を充填してなる溝22を具備したことを特徴とする。



## 1

## 【特許請求の範囲】

【請求項1】 半導体基板表面に形成された素子分離絶縁膜と、この素子分離絶縁膜で囲まれた素子領域とから構成され、

前記素子分離絶縁膜を貫通して前記半導体基板に到達するように形成され、内部に金属不純物収集物質が充填されてなる溝を具備したことを特徴とする半導体集積回路装置。

【請求項2】 半導体基板表面に形成された配線層と、前記半導体基板上に設けられ、前記半導体基板に達する溝が形成された絶縁膜と、

前記溝を埋め込み、かつ前記半導体基板と直接接するように形成された金属不純物収集物質からなる疑似配線層とを具備したことを特徴とする半導体集積回路装置。

【請求項3】 半導体基板表面に形成された溝からなる素子分離領域と、この素子分離領域で囲まれた素子領域とから構成され、

前記素子分離領域が、前記溝内に側壁絶縁膜を介して金属不純物収集物質が充填されて構成され、少なくとも前記溝の一部で前記物質が基板と直接接していることを特徴とする半導体集積回路装置。

【請求項4】 半導体基板表面に形成された素子分離領域と、この素子分離領域で囲まれた素子領域とから構成され、

前記素子領域内に、素子部より深い部分に金属不純物収集物質が充填され、少なくとも一部でこの物質が基板と直接接するように構成された溝を具備したことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に係り、特に素子形成領域から重金属、軽金属などの汚染物質を効率よく除去するための構造に関する。

## 【0002】

【従来の技術】近年、半導体集積回路装置は高集積化の一途を辿っており、その信頼性向上のために電子デバイス内部に取り込まれた重金属および軽金属等の不純物を除去し、電気的特性を高める必要がある。

【0003】すなわち、半導体装置の製造工程中にシリコン基板内部に導入された重金属汚染は自由電子（正孔）のトラップ中心を形成したり、pn接合のリークの原因となり、半導体素子の電気特性を劣化させる。例えば、シリコン基板内部にFe, Cu, Ni, Auなどの重金属が導入されるとMOSライフタイムが低下し、DRAMのメモリホールディング時間が短くなる。またゲート酸化膜中に導入された金属汚染物は酸化膜の絶縁耐圧やリーク電流等の電気特性の劣化および欠陥密度の増大などの原因になることが報告されている。

【0004】このように、重金属汚染は、その電気的特性の劣化を引き起こし、特にULSIの生産においては

## 2

少量の汚染でも素子特性が劣化したり変動したりするため生産歩留まりを低下させる大きな原因となっている。

【0005】通常このような汚染物質に対して、従来から2つの対策が行われてきた。

【0006】その1つは生産環境の清浄化をはかることによって、ウェハの汚染を極力減らすという方法である。クリーンルーム内のダスト、汚染等を低減する技術は、ウルトラクリーンテクノロジーとして開発が行われている。しかしながら、これらの生産環境の完全な清浄化達成には、時間、コスト等の種々の要因から困難な点が多い。

【0007】もう1つは、重金属汚染などの汚染物質を素子形成領域から除去することである。その方法には汚染物質をウェットあるいはドライエッチングによって除去する方法とゲッターリングによる除去方法とがある。

【0008】ウェットあるいはドライエッチングによる不純物除去方法は半導体基板表面の不純物に関しては基板をエッチングすることなしに除去することができるが、半導体基板中の不純物に関しては半導体基板表面から、その汚染物質が含まれる領域まで半導体基板をエッチングすることによって同時に不純物物質も除去するという方法である。半導体基板をエッチングする方法は例えばHF+HNO<sub>3</sub>による酸エッチング、あるいはNH<sub>4</sub>OHなどによるアルカリエッチング、CF<sub>4</sub>, NF<sub>3</sub>などのガスエッチングなどがある。これらの方法は比較的容易に半導体基板表面および基板中の汚染物質を除去することができるが、汚染が生じるプロセスを経る度に、半導体基板表面を削る必要があり、微細加工技術の発展によって素子間の距離が短くなっているパターン構成上、形成工程中に何度もウェハを削るとするのは信頼性低下の大きな原因となっていた。

【0009】一方、基板のエッチングを必要としないゲッターリングによる不純物の除去方法は大きく2つに分けられ、イントリンシックゲッターリング（IG）とエクストリンシックゲッターリング（EG）とがある。

【0010】イントリンシックゲッターリングは、ウェハ自体に650～750℃の低温熱処理を加えることによって、酸素の析出核を形成した後、1000℃以上の高温熱処理によって酸素析出物を形成し、その周りの歪あるいは欠陥などに汚染物質を析出させる方法である。また、この2ステップ熱処理に先立ち、1200℃程度の高温熱処理を、表面近傍の素子活性領域内での酸素析出防止のために行うことも多い。このゲッターリング方法はウェハ内部の不純物である酸素が必要であり、酸素析出物形成のための熱処理が重要な意味をもっている。つまり最適な析出状態をつくるため、低温から高温までのすべての熱プロセスにおけるウェハの熱履歴管理が必要になり、ウェハの転位強度とのかねあひから高度の技術が必要になる。またCZ結晶ではIG効果が望めるが、酸素不純物が少ないFZ結晶ではその効果は望めない。

## 3

【0011】一方エクストリンシックゲッターリングはウェハの裏面で不純物をゲッターリングするリンゲッターリング、ウェハ裏面ダメージゲッターリング、ウェハ裏面ポリシリコンゲッターリングなどがある。

【0012】リンゲッターリングでは、プロセスの最終工程でウェハ裏面からリンを拡散させ、汚染金属をリン拡散領域に析出させることによって、素子の活性領域から重金属を除去するようにしている。リンゲッターリングを行うには、例えば $\text{POCl}_3$ をリンの原料ガスとして用い、高濃度のリン拡散層を形成するためにウェハを800℃以上の高温にさらす必要がある。

【0013】ウェハ裏面ダメージゲッターリングでは、ウェハ裏面に故意に機械的歪を形成する。この結果機械的歪を核にしてULSI製造工程において最初の酸化工程で酸素誘起積層欠陥が発生し、そこに金属不純物が析出する。機械的歪は、例えば酸化シリコン微粉末をウェハの裏面に吹き付けることによって形成することができる。またウェハ裏面ポリシリコンゲッターリングはウェハの裏面にポリシリコンの膜を堆積させ、そのポリシリコンの粒界に金属不純物を析出させる方法である。これらのゲッターリング方法ではゲッターリングサイトがウェハの裏面に位置するようになっており、これが今後のゲッターリング技術としては大きな問題となる。つまり今後の半導体産業においては集積度の観点からみると、ますます集積度が増し、コストと歩留まりの関係から必然的にシリコンウェハの大直径化が進みその結果、ウェハの反り、強度の問題からウェハの厚さが増大する。また高集積化のために浅い不純物拡散層が必要になり、その結果として高温熱処理の許容時間が短くなる。あるいはまた低温熱処理において処理時間を長くするかいずれかの方法をとらなければならない。したがってウェハ表面近傍の金属不純物を裏面のゲッターリングサイトまで拡散させ、汚染物質を素子形成層から十分に除去することが非常に困難となっている。

【0014】このような問題からウェハの表面にゲッターリングサイトを形成する必要が生じ、その結果ウェハ表面への高エネルギーイオンを注入することによって、素子形成層から数 $\mu\text{m}$ 深いところにゲッターリングサイトをつくるフロントサイドゲッターリングが発明された。これらの方法はウェハ表面から数 $\mu\text{m}$ の範囲内でイオン注入ダメージを発生せしめ、その欠陥に金属不純物を析出させる方法である。しかしこの方法は高エネルギーのイオン注入が必要であり、その結果としてイオンチャンバー内の金属不純物を同時に深いサイトに注入させてしまう。また浅い素子形成領域にも結晶欠陥を与えかねないという問題がある。

【0015】このように高い生産性を得るためのウェハの大直径化に伴うウェハ厚さの増大と超微細素子の開発のためのプロセスの低温化に対しては、現在のゲッターリング方法では金属不純物の汚染物質を十分に除去するこ

## 4

とができないという問題があった。

【0016】

【発明が解決しようとする課題】このように、プロセス全般の完全な正常化をめざしたウルトラクリーンテクノロジーが進んでも、素子の超微細化により、少量の汚染でも素子特性が低下するため、ゲッターリングによる汚染物質の除去はULSIの製造に不可欠な工程となってくる。したがって、さらなる高度な熱履歴管理を行いIG技術をより完成度の高い技術として確立していく必要がある。しかしながら、今後予想されるウェハの大直径化に伴うウェハ厚さの増大と、超微細素子の開発のためのプロセス温度に低温化という問題に対して、ウェハ表面近傍の金属不純物を裏面のゲッターリングサイトまで拡散させ、汚染物質を素子形成層から除去するという従来のEG技術はまだ十分な対応がなされているとはいえない。

【0017】本発明は、前記実情に鑑みてなされて、高温短時間、低温短時間の熱処理でも十分に汚染物質を除去することができるようにし、信頼性の高い半導体装置を提供することを目的とする。

【0018】

【課題を解決するための手段】そこで本発明では、半導体基板表面に形成された素子分離絶縁膜と、この素子分離絶縁膜で囲まれた素子領域とから構成され、前記素子分離絶縁膜を貫通して前記半導体基板に到達するように形成され、内部に金属不純物収集物質が充填されてなる溝を具備したことを特徴とする。

【0019】また本発明の第2では、半導体基板表面に形成された配線層と、前記半導体基板上に設けられ、前記半導体基板に達する溝が形成された絶縁膜と、前記溝を埋め込み、かつ前記半導体基板と直接接するように形成された金属不純物収集物質からなる疑似配線層とを具備したことを特徴とする。

【0020】本発明の第3では、半導体基板表面に形成された溝からなる素子分離領域と、この素子分離領域で囲まれた素子領域とから構成され、前記素子分離領域が、前記溝内に側壁絶縁膜を介して金属不純物収集物質が充填されて構成され、少なくとも前記溝の一部でこの物質が基板と直接接していることを特徴とする。

【0021】本発明の第4では、半導体基板表面に形成された素子分離領域と、この素子分離領域で囲まれた素子領域とから構成され、前記素子領域内に、素子部より不快部分に金属不純物収集物質が充填され、少なくとも一部でこの物質が基板と直接接するように構成された溝を具備したことを特徴とする。

【0022】なお、基板内不純物収集効率の高い物質としては、アモルファスシリコン、ポリシリコン、およびそれらにリンまたはボロンの一方を添加したアモルファスシリコンまたはポリシリコン、リン添加シリケートガラス(PSG)、ボロン添加シリケートガラス(BS

## 5

G)、またはリン・ボロン添加シリケートガラス(BPSG)、Ti、W、Taなどの金属シリサイドのいずれかあるいはその複合体がある。さらにゲッタリング効果を高めるために前記膜中のBおよびPの濃度はそれぞれ $10^{20}$ atoms/cm<sup>3</sup>以上であることが望ましい。

## 【0023】

【作用】本発明によれば、トレンチ構造の溝あるいは穴の内部に形成されたゲッタリングサイトが半導体基板表面に存在するため、金属不純物の除去に必要な金属不純物の熱拡散時間が短くてすみ、低温熱処理でも金属不純物を上記ゲッタリングサイトに十分に取り込むことができる。また製造プロセスの温度上昇を招くことなく従来より低温化した場合にも効果は十分に得ることができる。また裏面にゲッタリングサイトを形成する従来の方法の場合に比べ、素子領域に近い領域にゲッタリングサイトを形成することができるため、ゲッタリング効果が大幅に向上し、信頼性が向上する。

【0024】また、半導体基板表面にゲッタリング層を形成する高エネルギーイオン注入によるフロントサイドゲッタリングと比較すると、より加速電圧が低い反応性イオンエッチングやウェットエッチングにより、トレンチ構造の溝あるいは穴をゲッタリングサイトとして形成するため、汚染および結晶欠陥などのダメージがない。さらに高エネルギーイオン注入によるフロントサイドゲッタリングでは、イオン注入による欠陥がゲッタリングサイトとして働いているため、一旦高温熱処理を施すことによって欠陥が回復し、そのゲッタリング効果は低下する。これに対し、本発明の方法ではゲッタリング効果を有する物質を基板表面に埋め込んでいるため、それ自体がなくなる限り、何回熱処理を繰り返しても本質的にはゲッタリング効果は低下しない。したがってゲッタリング効果の持続性の観点から見ても極めて有効である。例えば、トランジスタとキャパシタとからなるDRAMにおいてはキャパシタ電極の下部にゲッタリング層を形成することができるため、MOSライフタイムの低下、メモリホールディング時間の低下等を防止することができる。

【0025】なお本発明の第1によれば、上記作用に加え、素子分離絶縁膜を貫通して半導体基板に到達するように溝を形成しこの内部に基板内不純物収集効率の高い物質を充填しているため、基板の不要部を利用しており、これにより素子面積を増大することがない。

【0026】また本発明の第2では、半導体基板表面に形成される配線層との表面段差を緩和すべく平坦化のために設けられる疑似配線層の少なくとも一部を半導体基板に到達するように形成された基板内不純物収集効率の高い物質で構成するようにしているため、上記作用に加え基板の不要部を利用しており、これにより素子面積を増大することがない。

【0027】本発明の第3では、トレンチを用いた素子

## 6

分離構造において、素子分離領域が、溝内に側壁絶縁膜を介して基板内不純物収集効率の高い物質が充填されて構成され、少なくとも前記溝の一部でこの物質が基板と直接接するようにしているため、工数を増大することなく、容易に形成され、絶縁物のみをトレンチに充填した場合よりも、熱工程におけるストレスが小さく、クラックなどの問題もない。

【0028】本発明の第4では、素子領域内に、基板内不純物収集効率の高い物質が素子部より深い部分に充填され、少なくとも一部でこの物質が基板と直接接するように構成された溝を配設しているため、素子により近接してゲッタリング物質を配設することができ、よりゲッタリング効率が向上する。

【0029】例えばゲッタリングサイトとしてポリシリコンを用いる場合には、金属不純物はポリシリコンの結晶粒界に速やかにゲッタリングされデバイスの汚染を除去する。

## 【0030】

【実施例】以下本発明の実施例について図面を参照しつつ詳細に説明する。

【0031】図1は本発明の第1の実施例の半導体装置を示す断面図である。この半導体装置はシリコン基板表面に形成されたトレンチT内に酸化シリコン膜からなる側壁絶縁膜8を介して内部にリンドープのポリシリコンからなるゲッタリング層3が充填されゲッタリングサイト2として作用するとともに、素子分離領域を構成し、この素子分離領域で囲まれた領域に素子(図示せず)が形成されている。

【0032】かかる構成によれば、半導体基板表面に持続性のあるゲッタリングサイトを形成しているため、金属不純物を除去するのに必要な拡散時間が低温プロセスにおいても十分に確保される。さらにまたポリシリコンは、酸化シリコンよりもシリコン基板の熱効率に近いため、熱工程におけるストレスも小さく、クラックなどの問題もない図2は本発明の第1の実施例の変形例であり、LOCOS法で形成した素子分離絶縁膜4の底部にあらかじめトレンチを形成し、前記第1の実施例と同様に酸化シリコン膜からなる側壁絶縁膜8を形成し、内部にリンドープのポリシリコンからなるゲッタリング層2を充填したことを特徴とする。

【0033】この構造では素子分離領域の大きさに応じてトレンチを細くしたり、図3に示すように太くしたりすることができる。

【0034】次に、本発明の第2の実施例として、MOSデバイスにおけるウェル分離をトレンチによる素子分離で構成したことを特徴とする。

【0035】まず、図4に示すように半導体基板1表面に順次n型拡散層6およびp型拡散層7を形成し、さらにレジストパターン5を形成してこれをマスクとし異方性エッチングによりn型拡散層6とp型拡散層7との間

## 7

に、基板に到達するようにトレンチTを形成する。

【0036】この後、図5に示すようにトレンチ表面に酸化シリコン膜8を形成する。この酸化シリコン膜は絶縁膜であれば単一あるいは積層の絶縁膜などのような構造でもよい。

【0037】次に、図6に示すように不要部の酸化シリコン膜8およびトレンチ底部の酸化シリコン膜をエッチング除去する。なお底部の酸化シリコン膜は部分的に除去するようにしてもよい。

【0038】この後図7に示すように全面にアモルファスシリコンからなる充填物質を堆積し、エッチバックを行いトレンチ内部にアモルファスシリコンからなる充填物質を残留せしめゲッタリング層3を形成する(図8)。

【0039】そして、トレンチ上面を酸化して絶縁化しトレンチ分離が完成する(図9)。このように、ゲッタリング効果をもつ充填物質がトレンチ素子分離の底部において直接シリコン基板に接する構造をしているため、基板中の金属不純物はこの底部から充填物質に捕獲される。

【0040】なお充填物質はトレンチ全体に埋め込む必要はなく、図10に示すように上部にはテトラエトキシシランなどの絶縁膜9を埋め込むなど、他の物質を埋め込むようにしてもよい。

【0041】次に本発明と従来例の裏面EGとによる低温プロセスにおけるゲッタリング能力を一定の処理時間毎に測定した結果を図10に示す。ここでは実施例1のゲッタリングサイト2を有する半導体装置のウェハ表面にFeを強制汚染したウェハについてバルク少数キャリアの再結合寿命の低温熱処理時間による変化を測定した。なお図中、ゲッタリングを施していない場合を比較例3として、従来のEG法である裏面ポリシリコンゲッタリングを行った場合を比較例4として示した。この結果からあきらかなように本発明は600℃の低温においても1時間以内の熱処理によってバルク少数キャリアの再結合寿命が、汚染されていないウェハレベルまで回復している。一方、従来のEGではウェハ裏面にゲッタリングサイトを形成するため、裏面までFeなどの不純物が拡散する必要があるため、拡散時間が長くなる。

【0042】このようにウェハ表面近傍の素子活性領域内の汚染に対しては低温プロセスあるいは高温短時間プロセスにおいて本発明のフロントサイドゲッタリングが極めて有効であることがわかる。

【0043】次に、本発明の第3の実施例として、トレンチ分離による素子分離を用いたものにおいて、トレンチ内部にゲッタリング物質を充填し、トレンチ底部で基板と電気的に接触するようにした半導体装置について説明する。

【0044】この半導体装置は図12に示すように、シリコン基板1表面に形成されたn型シリコン層1W内に

## 8

トレンチTが形成され、このトレンチTの内部に側壁絶縁膜8を介してボロンドープのポリシリコン等のゲッタリング物質3を充填し、トレンチ底部で基板1と電気的に接続するようにすると共に、素子分離を行うようにしたことを特徴とする。なおこの素子分離トレンチTで囲まれた素子領域内にゲート絶縁膜11を介して形成されたゲート電極10とソース・ドレイン領域12、13としてのp型拡散層が形成されてMOSFETを構成している。

10 【0045】この場合も素子分離領域をゲッタリングサイトとして用いているため、表面に近い位置にゲッタリング層を配設することができ、ゲッタリング効果が極めて高い。

【0046】次に、本発明の第4の実施例として、MOSFETとキャパシタとからなるDRAMのキャパシタ底部にゲッタリング層3を形成した例について図13乃至図15の製造工程図を参照しつつ説明する。

20 【0047】この例ではまず、図13に示すように基板1表面にLOCOS法により素子分離絶縁膜4を形成し(パッファ酸化膜14で覆われている)、この後窒化シリコン膜15を介して所望の膜厚の酸化シリコン膜5をCVD法により形成し、これらをパターニングしてマスクとして異方性エッチングを行い、トレンチTを形成する。

【0048】次いで図14に示すようにこのトレンチ内にリンドープのポリシリコン層からなるゲッタリング層3を形成する。

30 【0049】そしてさらに、通常の方法でゲート絶縁膜11を介してゲート電極10を形成するとともに拡散によりソース・ドレイン領域12、13としてのp型拡散層を形成してMOSFETを構成するとともに、該トレンチTの表面を酸化し絶縁膜8Sで被覆してストレージノード電極16、キャパシタ絶縁膜17、プレート電極18を順次積層し、キャパシタを形成する(図15)。ここでソース・ドレイン領域12、13の一方とストレージノード電極16とは電気的に接続するように接触している。なお19は層間絶縁膜である。

40 【0050】この方法によれば、上述した効果に加え、トレンチエッチングによってトレンチ内部に付着し易い金属不純物が効率よく除去され、信頼性の高いDRAMを得ることが可能となる。すなわち、キャパシタの下部にゲッタリングサイトを形成することができるため、MOSライフタイムの低下、DRAMのメモリホールディング時間の低下などを防ぐことが可能となる。

50 【0051】また、この構造の変形例として図16に示すように、トレンチキャパシタのストレージノードをトレンチの外周に形成された拡散層20で構成した例がある。この場合はトレンチ底部にゲッタリング層3が形成されてゲッタリングサイト2を構成し、トレンチ中間部にはCVD法により酸化シリコン膜9を充填し、ゲッタ

リングサイトとトレンチとを絶縁分離して上部にキャパシタが形成されている。この構造によっても上記実施例と同様に信頼性の高いDRAMを得ることが可能となる。

【0052】なお、前記実施例ではトレンチ底部にゲッタリングサイトを形成し、上部にキャパシタを形成した例について説明したが、これに限定されることなく、上部には他の素子を形成してもよいことはいふまでもない。

【0053】次に本発明の第5の実施例として、素子分離絶縁膜4を貫通してゲッタリングサイト2を形成した例について説明する。ここでは図17に示すように、素子分離絶縁膜4を貫通してシリコン1に到達するように形成され、内部に基板内不純物収集効率の高い物質であるリンドープのポリシリコン層からなるゲッタリング層23を充填してなる溝22をゲッタリングサイト2として具備したことを特徴とする。

【0054】まず、製造に際しては、LOCOS法によって、素子分離絶縁膜4を形成した後、フォトリソグラフィによりこの素子分離絶縁膜4を貫通するように溝22を形成する。そしてこの素子分離絶縁膜4に囲まれた素子領域内に素子（ここではMOSFET）を形成するわけであるが、まずゲート酸化膜11およびゲート電極10を形成したのち、リン濃度が $10^{21}$ atoms/cm<sup>3</sup>のポリシリコン層23を形成し、これをパターンニングしてゲッタリング層23を形成する。ここでこのゲッタリング層23は素子分離絶縁膜4の内部で基板1と直接接触する。またここではゲッタリング層23の表面は素子分離絶縁膜4表面より上にあるが同一平面内にあってもよい。

【0055】そしてソースドレイン領域12、13の形成、層間絶縁膜9の形成、配線層の形成等を経て、完成するが、これらの工程において混入してくる金属不純物はこのゲッタリング層23のポリシリコンの結晶粒界に速やかにゲッタリングされ、デバイス活性領域からは汚染が除去されるため、性能が向上すると共に信頼性が向上する。

【0056】また、溝22は、トランジスタから高々数 $\mu$ mの距離に設けることができるため、低温の熱処理においても十分なゲッタリング効果を得ることができる。さらにまた、熱処理温度が同じであれば短時間でゲッタリングを完了することができるため、製造時間を大幅に短縮することができる。またこのポリシリコンは素子分離絶縁膜4によって絶縁されているため、隣接トランジスタに何等電氣的影響を与えることはない。

【0057】なお、この実施例においては、ゲッタリング効果を有する充填剤として、ポリシリコンを用いたが充填剤としては前述したような他の材料でもよく、また充填剤は基板に直接接するように埋め込まれていればよく、溝の形成方法や充填剤の充填方法については適宜選

択可能である。

【0058】次にこの変形例として図18に示すようにゲッタリング層であるポリシリコン層23を溝22の表面よりもやや下方まで埋め込み、上部を酸化シリコン膜からなるキャップ層24で被覆するようにしても良い。

【0059】また、図19に示すようにゲッタリングサイト2を形成する素子分離絶縁膜としてはLOCOS法で形成したものに限定されることなく、トレンチ分離溝中の埋め込み酸化膜34中に埋め込むようにしてもよい。

【0060】さらにまたこの例において、ゲート電極と同一工程でゲッタリング層を形成することができる。その製造工程図を図20乃至図23に示す。

【0061】まず、製造に際しては、図20に示すように、シリコン基板1表面に素子分離用のトレンチTを形成しこの内部に埋め込み絶縁膜を形成し、素子分離絶縁膜34とする。

【0062】この後、この素子分離絶縁膜34に囲まれた素子領域内に素子（ここではMOSFET）を形成するわけであるが、まずゲート酸化膜11を形成したのち、フォトリソグラフィによりレジストパターンRを形成しこの素子分離絶縁膜34を貫通するように溝22を形成する（図21）。

【0063】そして図22に示すように、レジストパターンRを除去した後、リン濃度が $10^{21}$ atoms/cm<sup>3</sup>のポリシリコン層を形成する。

【0064】最後に、図23に示すように、これをパターンニングしてゲート電極10と同時にゲッタリング層23を形成する。ここでこのゲッタリング層23は素子分離絶縁膜4の内部で基板1と直接接触する。

【0065】そしてソースドレイン領域12、13の形成、層間絶縁膜9の形成、配線層の形成、表面保護膜19の形成等を経て、完成するが、これらの工程において混入してくる金属不純物はこのゲッタリング層23のポリシリコンの結晶粒界に速やかにゲッタリングされ、デバイス活性領域からは汚染が除去されるため、性能が向上すると共に信頼性が向上する、このようにしてMOSFETが形成されるが、このポリシリコン層からなるゲッタリング層23は、ゲート電極による段差を緩和する平坦化用擬似パターンとしても機能し、上層配線の形成を容易にするという機能もかねている。ここでポリシリコンは基板と同電位に固定されるため上層配線に対するノイズの影響などもない。

【0066】さらにまたLOCOS分離によって素子分離絶縁膜を形成する場合においても、ゲート電極と同一工程でゲッタリング層を形成することができる。その製造工程図を図24乃至図27に示す。

【0067】まず、製造に際しては、図24に示すように、シリコン基板1表面にLOCOS法によって、素子分離絶縁膜4を形成し、ゲート絶縁膜11、11'を形



成した後、フォトリソグラフィによりゲート絶縁膜11上にレジストパターンRを形成する。このレジストパターンRをマスクとして異方性エッチングを用いてゲート絶縁膜11'を除去し基板を露出させる(図25)。

【0068】そして図26に示すように、レジストパターンRを除去した後、リン濃度が $10^{21}\text{atoms/cm}^3$ のポリシリコン層10を形成する。

【0069】最後に、これをパターニングしてゲート電極10と同時にゲッターリング層23を形成する。ここでこのゲッターリング層23は素子分離絶縁膜4の内部で基板1と直接接触する。

【0070】そしてソースドレイン領域12、13の形成、層間絶縁膜9の形成、配線層の形成、表面保護膜19の形成等を経て、完成するが、これらの工程において混入してくる金属不純物はこのゲッターリング層23のポリシリコンの結晶粒界に速やかにゲッターリングされ、デバイス活性領域からは汚染が除去されるため、性能が向上すると共に信頼性が向上する。

【0071】さらにまた、図19に示した構造をCMOSに適用した例を図28に示す。ここでも同様にゲート電極10の形成と同時にゲッターリング層23a、bの形成を行うことは可能であるが、CMOSではゲッターリング層をpウェル31およびnウェル32の電位に固定する構造であるため、各ウェル内でのゲッターリング層23a、bは互いに絶縁されている。

【0072】加えて本発明の第6の実施例として図19に示した構造のゲッターリング層23をウェル電位固定のためのコンタクト電極として用いた例について説明する。すなわち図29(a)および(b)に示すように、シリコン基板1表面のpウェル31内に形成され、素子分離絶縁膜34で囲まれた素子領域にMOSFETを形成するに際し、素子分離絶縁膜34内に形成したトレンチ内にゲッターリング層を形成すると共にこれをコンタクト電極として用いるようにしたことを特徴とする。ゲート電極およびゲッターリング層となるポリシリコン層の形成工程までは図19に示した前記実施例の工程と同様であるが、ここではさらにポリシリコン層上にシリサイド層25を形成しポリサイド構造にしている。図23乃至図27に示した工程とまったく同様にしてゲッターリング層を形成し、絶縁膜19を形成した後、この絶縁膜19にコンタクトホール36を形成し、配線35を形成し、pウェル31に素子形成領域の回りから均一に電位を付与するように構成される。ここでシリサイド層を形成したのはポリシリコン層のシート抵抗による電圧降下を避け、低抵抗化をはかるためである。

【0073】従来pウェル電位を均等に与えるためにウェルの周囲に多数のウェル用コンタクトを設けていたが、この方法によればゲッターリング層で一体的に接続されているためウェル用コンタクトは1つでよく、ウェル用コンタクトの数を激減させ、レイアウト上の自由度を

増加させることができる。

【0074】さらにまた、本発明の第7の実施例として図19に示した構造のゲッターリング層23を積層キャパシタ構造のDRAMに適用した例について説明する。この構造では図30に示すように、MOSFETを形成した後このソースドレイン領域12、13の一方に接続するようにストレージノードコンタクト41を形成してストレージノード電極46を形成する際、同時に素子分離絶縁膜34内にもコンタクト41Gを形成して、このコンタクト41G内にストレージノード電極と同一工程でPドープのポリシリコン層を埋め込み、ゲッターリング層23として用いるようにしたことを特徴とする。この構造ではこのゲッターリング層23上にもストレージノード電極46上と同様にキャパシタ絶縁膜47、プレート電極48を形成し、キャパシタ面積を増大せしめることができる。

【0075】このようにして工数を増大することなく、ゲッターリング効果を高め信頼性の高いDRAMを形成することが可能となる。ここで42はビット線コンタクト、50はビット線である。

【0076】前記実施例ではゲッターリング層をストレージノード電極の形成工程と同時に行ったが、図31に示すようにビット線50の形成と同時に行うようにしてもよい。この場合は最終工程であるビット線形成工程でゲッターリング層を形成するため、平坦化にはより効率的である。さらにまたプレート電極や配線層と同一工程でゲッターリング層を形成するようにすることも可能である。

【0077】なお、本発明の半導体装置は素子分離領域中にゲッターリングサイトを形成することを特徴とするもので、他の構造については何等限定するものではなくさらに上層に種々のデバイスを形成してもよいことはいうまでもない。

【0078】また、ゲッターリング層としては単一材料でも複合材料でも良く、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【0079】

【発明の効果】以上説明してきたように、本発明によれば、低温熱処理によっても金属不純物を効率よく除去することができ、また短時間でゲッターリングを完了することができ製造時間の短縮化をはかるとともに微細素子構造に必要な低温プロセスにおいても信頼性の高いデバイスを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置を示す図。

【図2】同半導体装置の変形例を示す図。

【図3】同半導体装置の変形例を示す図。

【図4】本発明の第2の実施例の半導体装置の製造工程を示す図。

【図5】本発明の第2の実施例の半導体装置の製造工程を示す図。

【図 6】本発明の第 2 の実施例の半導体装置の製造工程を示す図。

【図 7】本発明の第 2 の実施例の半導体装置の製造工程を示す図。

【図 8】本発明の第 2 の実施例の半導体装置の製造工程を示す図。

【図 9】本発明の第 2 の実施例の半導体装置の製造工程を示す図。

【図 10】本発明の第 2 の実施例の半導体装置の変形例を示す図。

【図 11】本発明のゲッタリング方法と従来例のゲッタリング方法における処理時間と再結合寿命との関係を示す図。

【図 12】本発明の第 3 の実施例を示す図。

【図 13】本発明の第 4 の実施例の半導体装置の製造工程を示す図。

【図 14】本発明の第 4 の実施例の半導体装置の製造工程を示す図。

【図 15】本発明の第 4 の実施例の半導体装置の製造工程を示す図。

【図 16】本発明の第 4 の実施例の半導体装置の変形例を示す図。

【図 17】本発明の第 5 の実施例の半導体装置の製造工程を示す図。

【図 18】本発明の第 5 の実施例の半導体装置の変形例を示す図。

【図 19】本発明の第 5 の実施例の半導体装置の変形例を示す図。

【図 20】本発明の第 6 の実施例の半導体装置の製造工程を示す図。

【図 21】本発明の第 6 の実施例の半導体装置の製造工程を示す図。

【図 22】本発明の第 6 の実施例の半導体装置の製造工程を示す図。

【図 23】本発明の第 6 の実施例の半導体装置の製造工程を示す図。

【図 24】本発明の他の実施例の半導体装置の製造工程

を示す図。

【図 25】本発明の他の実施例の半導体装置の製造工程を示す図。

【図 26】本発明の他の実施例の半導体装置の製造工程を示す図。

【図 27】本発明の他の実施例の半導体装置の製造工程を示す図。

【図 28】本発明の他の実施例の半導体装置を示す図。

【図 29】本発明の第 6 の実施例の半導体装置を示す

10 図。

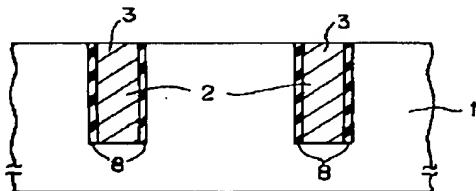
【図 30】本発明の他の実施例の半導体装置を示す図。

【図 31】本発明の他の実施例の半導体装置を示す図。

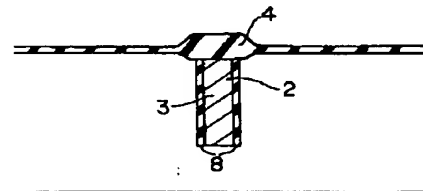
【符号の説明】

- 1 Si 基板
- 2 ゲッタリングサイト
- 3 ゲッタリング層
- 4 素子分離絶縁膜
- 5 CVD 酸化膜
- 6 拡散層
- 7 拡散層
- 8 側壁絶縁膜
- 9 絶縁膜
- 10 ゲート電極
- 11 ゲート絶縁膜
- 12 拡散層
- 13 拡散層
- 14 酸化膜
- 15 窒化膜
- 16 ストレージノード電極
- 18 プレート電極
- 19 層間絶縁膜
- 20 拡散層
- 46 ストレージノード電極
- 47 キャパシタ絶縁膜
- 48 プレート電極
- 49 層間絶縁膜
- 50 ビット線

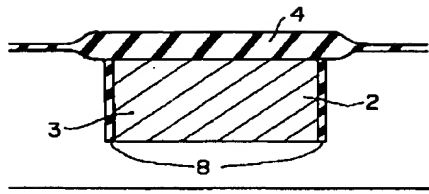
【図 1】



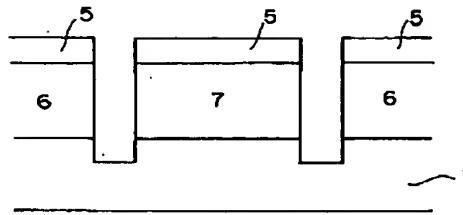
【図 2】



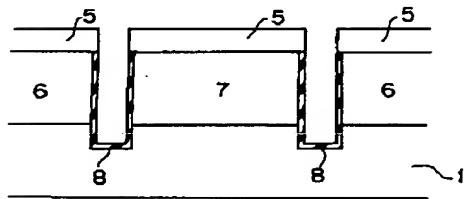
【図3】



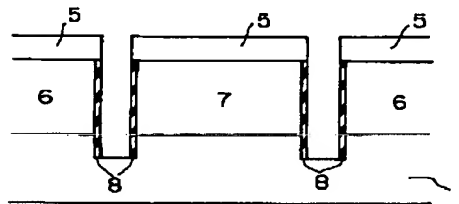
【図4】



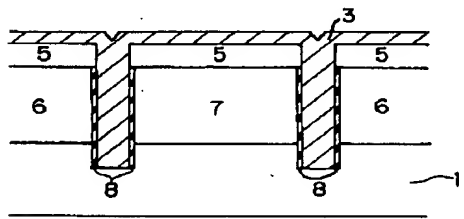
【図5】



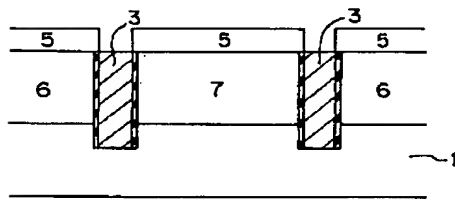
【図6】



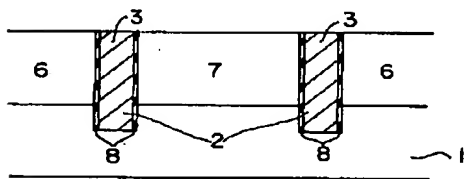
【図7】



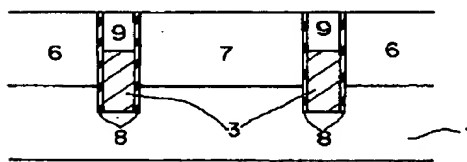
【図8】



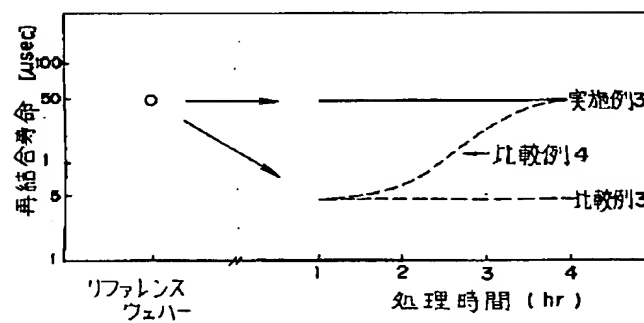
【図9】



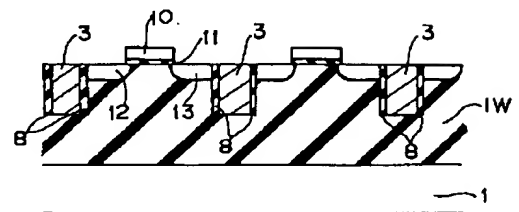
【図10】



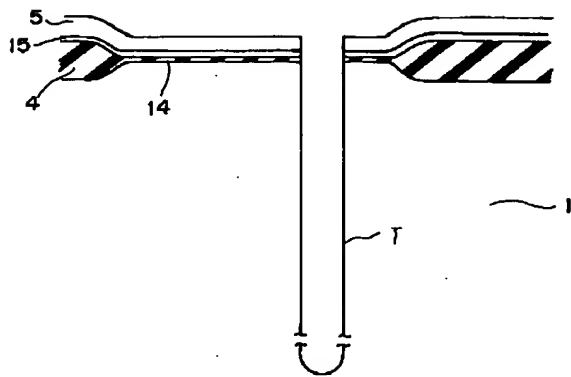
【図11】



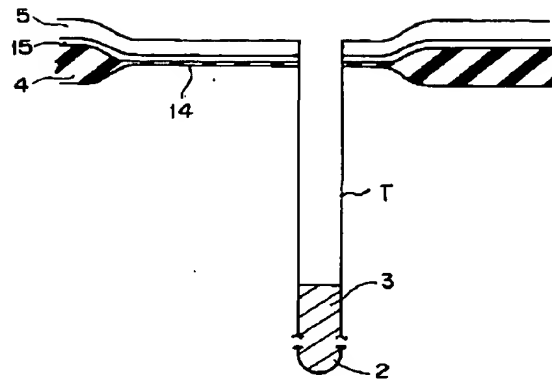
【図12】



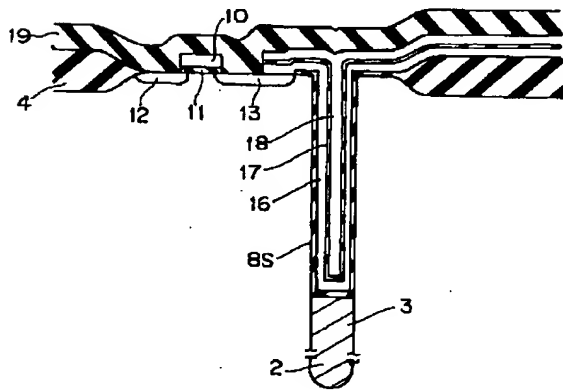
【図 13】



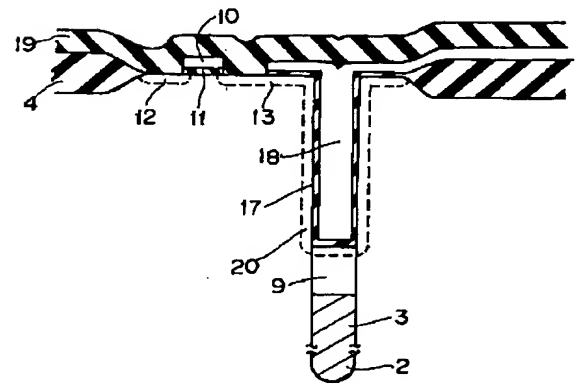
【図 14】



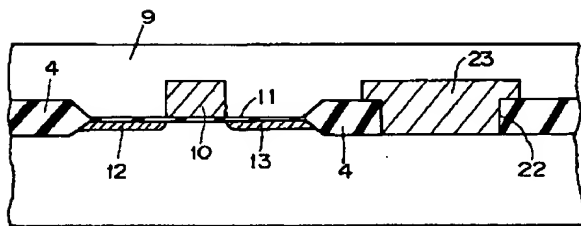
【図 15】



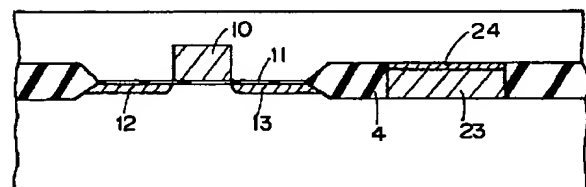
【図 16】



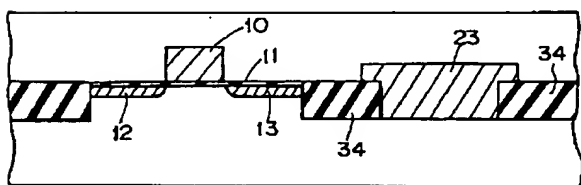
【図 17】



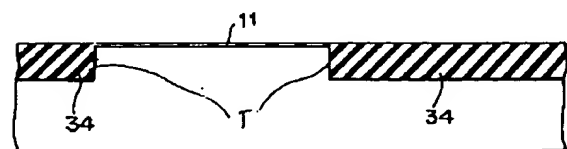
【図 18】



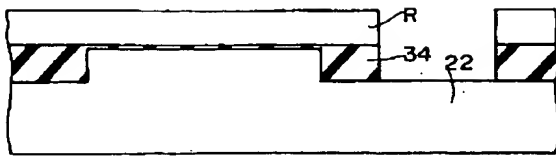
【図 19】



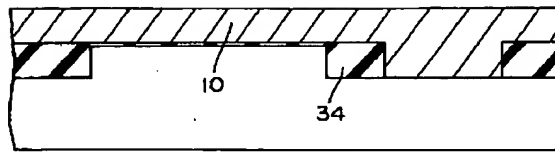
【図 20】



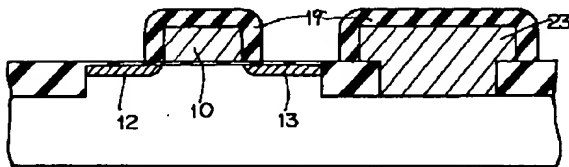
【図 2 1】



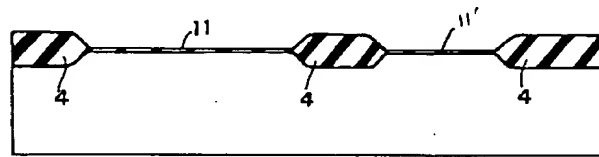
【図 2 2】



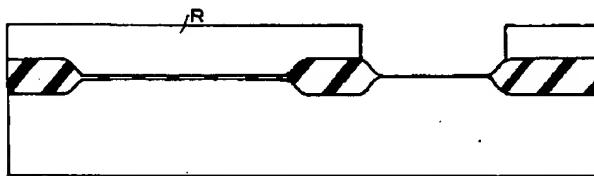
【図 2 3】



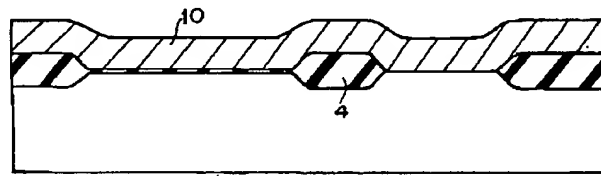
【図 2 4】



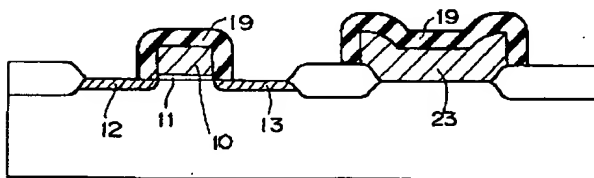
【図 2 5】



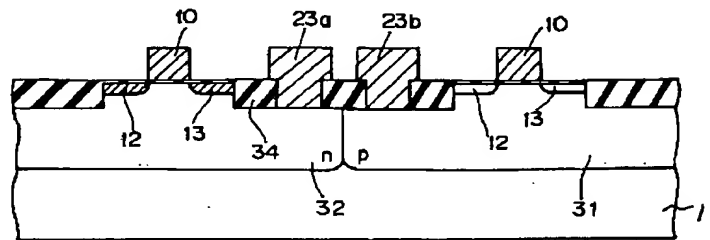
【図 2 6】



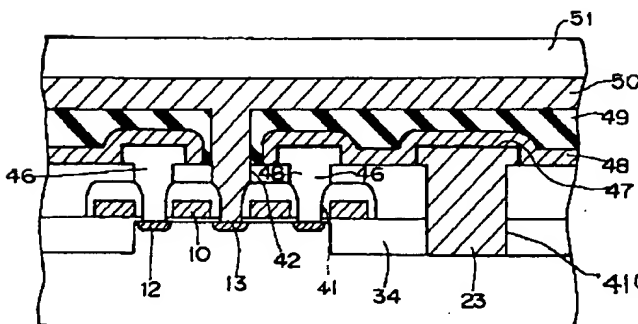
【図 2 7】



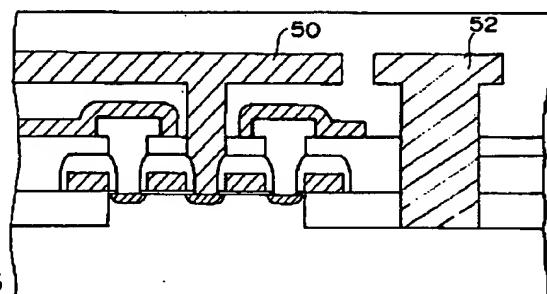
【図 2 8】



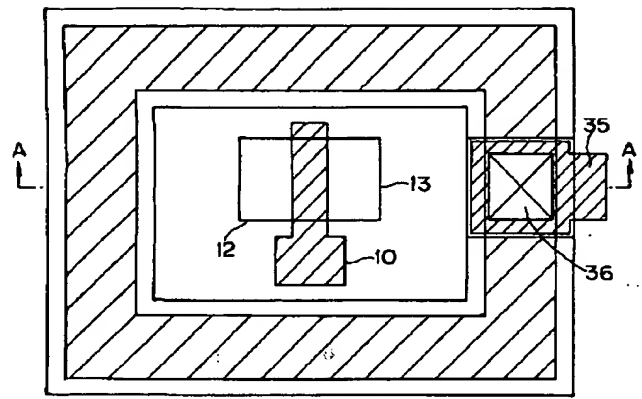
【図 3 0】



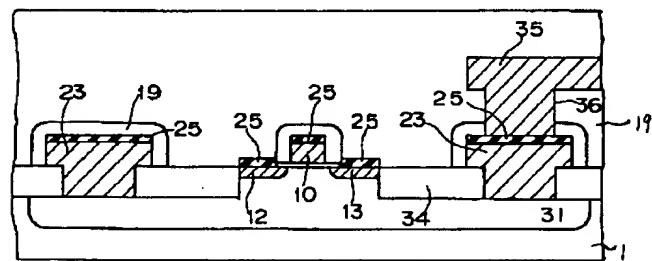
【図 3 1】



【図 2 9】



(a)



(b)